

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6

G11C 11/22, 11/407, H01L 27/10

A1.

(11) 国際公開番号

WO97/36300

(43) 国際公開日

1997年10月2日(02.10.97)

(21) 国際出願番号

PCT/JP97/00893

(22) 国際出願日

1997年3月19日(19.03.97)

(30) 優先権データ

特願平8/67740

1996年3月25日(25.03.96)

JP

(71) 出願人(米国を除くすべての指定国について)

松下電子工業株式会社

(MATSUMITA ELECTRONICS CORPORATION)[JP/JP]

〒569 大阪府高槻市幸町1番1号 Osaka, (JP)

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ)

平野博茂(HIRANO, Hiroshige)[JP/JP]

〒631 奈良県奈良市富雄北2-7-21 Nara, (JP)

(74) 代理人

弁理士 松田正道(MATSUDA, Masamichi)

〒532 大阪府大阪市淀川区宮原5丁目1番3号

新大阪生島ビル Osaka, (JP)

(81) 指定国 CN, JP, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類

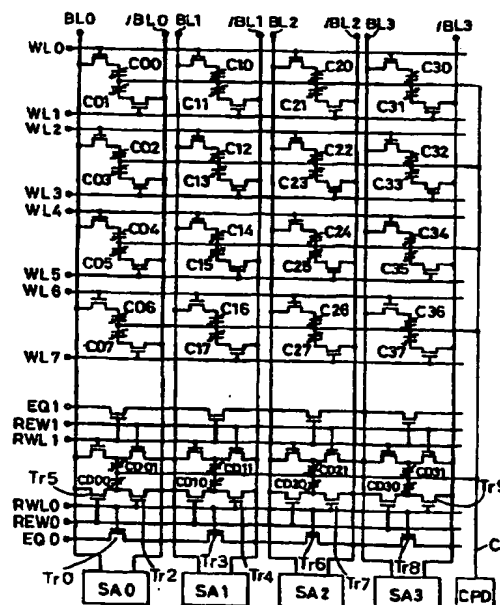
国際調査報告書

(54) Title: FERROELECTRIC STORAGE DEVICE

(54) 発明の名称 強誘電体メモリ装置

(57) Abstract

A ferroelectric storage device which can further reduce the fluctuation of the reference potential in a reference memory cell system. The storage device is provided with a reference potential generating circuit which generates a reference potential by averaging potentials read out from two ferroelectric capacitors CD00 and CD20 for reference memory cells storing high-level data and two ferroelectric capacitors CD10 and CD30 for reference memory cells storing low-level data.



(57) 要約

リファレンスメモリセル方式における基準電位のばらつきを、より一層少なく出来る強誘電体メモリ装置を提供することを目的とする。この目的を達成するために、強誘電体メモリ装置は、例えば、第1図に示す様に、ハイレベルのデータを記憶した2個のリファレンスメモリセル用強誘電体キャパシタCD00、CD20と、ローレベルのデータを記憶した2個のリファレンスメモリセル用強誘電体キャパシタCD10とCD30から読み出された各電位を平均化して、基準電位を生成する方式のリファレンス電位発生回路を有する。

情報としての用途のみ

PCTに基づいて公開される国際出版をパンフレット第一頁にPCT加盟国を固定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	RD	ラトヴィア
AT	オーストリア	FI	フィンランド	LT	リトアニア	DE	ドイツ
AU	オーストラリア	FR	フランス	LU	ルクセンブルグ	EG	エジプト
AZ	アゼルバイジャン	GB	イギリス	LV	ラトヴィア	GI	ギブラルタル
BB	バルバドス	GE	グルジア	MC	モナコ	SK	スロバキア
BE	ベルギー	GN	ギニア	MD	モルドバ	SL	スロベニア
BG	ブルガリア	GH	ギニア	MG	マダガスカル	SS	スウェーデン
BJ	ベナン	GR	ギリシャ	MK	マケドニア	SN	セネガル
BR	ブラジル	GU	グアム	ML	マリ	ST	セント・ヘレナ
BS	バハマ	HU	ハンガリー	MR	モーリタニア	TD	チャド
BT	ブータン	IE	アイルランド	MT	モントネゴ	TF	フランス領インド洋
BV	ブービヤ	IS	アイスランド	MW	マラウイ	TM	トルクメニスタン
CA	カナダ	IT	イタリア	MX	メキシコ	TR	トルコ
CC	ココス(キリング)諸島	JP	日本	NE	ニジェール	TT	トリニダード・トバゴ
CD	コンゴ(レゾルバンス)	KE	ケニア	NL	オランダ	UA	ウクライナ
CF	中央アフリカ共和国	KG	キルギスタン	NO	ノルウェー	UG	ウガンダ
CG	コンゴ(ブラザヴィル)	KR	朝鮮民主主義人民共和国	NZ	ニュージーランド	US	米国
CH	スイス	KP	朝鮮民主主義人民共和国	PT	ポルトガル	UZ	ウズベキスタン共和国
CI	コート・ジボアール	KZ	カザフスタン	RO	ルーマニア	VN	ベトナム
CM	カメルーン	LI	リヒテンシュタイン			YU	ユーゴスラビア
CN	中国	LK	スリランカ				
CX	クリスマス島						
DE	ドイツ						
DK	デンマーク						

明 細 書

強誘電体メモリ装置

技術分野

本発明は、強誘電体メモリ装置に関するものである。

背景技術

近年、メモリセルのキャパシタに強誘電体材料を用いることにより記憶データの不揮発性を実現した強誘電体メモリ装置が考案されている。強誘電体キャパシタはヒステリシス特性を有し、電界が零のときでも履歴に応じた異なる極性の残留分極が残る。記憶データを強誘電体キャパシタの残留分極で表わすことにより不揮発性メモリ装置を実現するものである。

アメリカ特許4,873,664号明細書には、二つのタイプの強誘電体メモリ装置が開示されている。

第1のタイプは、メモリセルを1ビットあたり、1個のトランジスタおよび1個のキャパシタ（1T1C）により構成したものであり、たとえば256個の本体メモリセル用強誘電体キャパシタ（ノーマルセル）毎に1個のリファレンスメモリセル用強誘電体キャパシタが設けられる。

第2のタイプは、リファレンスメモリセル用強誘電体キャパシタを設けずに、メモリセルが1ビットあたり、2個のトランジスタおよび2個のキャパシタ（2T2C）で構成したものであり、1対の相補データが1対の本体メモリセル用強誘電体キャパシタに記憶される。

メモリの大容量化においては1T1C型が有利であり、このとき、低電圧動作

や長寿命動作などのためには本体メモリセル用強誘電体キャパシタに対してリファレンスセル用強誘電体キャパシタの設計が重要となる。

また、キャパシタを構成する強誘電体材料としては、 KNO_3 、 PbLa_2O_3 — ZrO_2 — TiO_2 、および PbTiO_3 — PbZrO_3 などが知られている。PCT国際公開第WO93/12542公報によれば、強誘電体メモリ装置に適した、 PbTiO_3 — PbZrO_3 に比べて極端に疲労の小さい強誘電体材料も知られている。

以下、従来の1T1Cタイプの強誘電体メモリ装置について、その構成について簡単に説明する。

第7図がメモリセル構成図、第8図がセンスアンプ回路図、第9図が動作タイミング図である。

第7図において、C00～C37が本体メモリセル用強誘電体キャパシタ、CD00～CD31がリファレンスメモリセル用強誘電体キャパシタである。CPDがセルプレートドライバ、REW0～REW1がリファレンスメモリセルリライイト信号線である。SA0～SA3がセンスアンプ、CPがセルプレート信号線である。WL0～WL7がワード線、RWL0～RWL1がリファレンスワード線であり、BL0～BL3、/BL0～/BL3がビット線である。又、第8図、第9図において、BPがビット線プリチャージ信号、/SAP、SANがセンスアンプ制御信号である。又、VSSが接地電圧、VDDが電源電圧である。

メモリセル構成としては、同図に示す様に、例えば、センスアンプSA0にビット線BL0と/BL0が接続されている。そして、ビット線BL0には、ワード線WL0をゲートとするNチャネル型MOSトランジスタTr1を介して、本体メモリセル用強誘電体キャパシタC00が接続されている。又、ビット線/B

L0には、リファレンスワード線RWL0をゲートとするNチャネル型MOSトランジスタTr2を介して、リファレンスメモリセル用強誘電体キャパシタCD00が接続されている。又、強誘電体キャパシタC00、CD00はセルプレートドライバCPDで駆動されるセルプレート信号線CPに接続されている。

また、ビット線/BL0と/BL1は、リファレンスワード線RWL0をゲートとするNチャネル型MOSトランジスタTr3を介して接続されている。また、ビット線BL0とリファレンスメモリセル用強誘電体キャパシタCD00が、リファレンスメモリセルリライト信号線REW0をゲートとするNチャネル型MOSトランジスタTr5を介して接続されている。

また、第8図に示す様に、センスアンプSA0は、センスアンプ制御信号/SAP、SANにより制御され、ビット線プリチャージ信号BPによってビット線BL0と/BL0のプリチャージが制御される回路構成である。

この従来の1T1C構成の強誘電体メモリ装置は、本体メモリセル用強誘電体キャパシタとほぼ同じサイズの強誘電体キャパシタを2個用いて、それぞれから“H”（ハイ）のデータを一つと、“L”（ロー）のデータを一つ読み出し、これら2つのデータを平均化するという方法である（特開平7-262768公開公報参照）。

上記従来の1T1C構成の強誘電体メモリ装置の動作について、ワード線WLOが選択されている場合を中心に、第9図を参照しながら説明する。

まず、ビット線プリチャージ信号BPがHのとき、ビット線BL0と/BL0は論理電圧“L”にプリチャージされている。ビット線BL1と/BL1に付いても、同様に論理電圧“L”にプリチャージされている。

次に、ビット線プリチャージ信号BPを論理電圧“L”とすると、ビット線B

L 0と／B L 0、及びビット線B L 1と／B L 1はフローティング状態となる

また、次に、ワード線W L 0とリファレンスワード線R W L 0を論理電圧 “H” とし、次にセルプレート信号線C Pを論理電圧 “H” とする。ここでは、ワード線W L 0の論理電圧 “H” の電位レベルは電源電圧V D D以上に昇圧した電圧である。リファレンスワード線R W L 0が論理電圧 “H” とされたことにより、Nチャネル型M O SトランジスタT r 2～T r 4はO N状態となる。尚、本明細書では、上述した様に、例えば、ワード線W L 0を論理電圧 “H” とすると言う表現をした場合、ワード線W L 0の電位を論理電圧 “H” とすることを意味しているものである。

このとき、強誘電体キャパシタC 0 0、C D 0 0、C 1 0、C D 1 0のそれぞれの両電極に電界がかかり、強誘電体キャパシタとビット線容量の容量比により、それぞれの電位が決まる。そして、これら各電位が、それぞれビット線B L 0、／B L 0、B L 1、／B L 1から読み出される。

このとき、リファレンスメモリセル用強誘電体キャパシタC D 0 0およびC D 1 0から読み出されたデータは、Nチャネル型M O SトランジスタT r 2～T r 4がO N状態となっていることにより、ビット線／B L 0と／B L 1が電氣的に接続されているため、双方のデータが平均化されたデータ（電位）となる。ここでは、リファレンスメモリセル用強誘電体キャパシタC D 0 0、C D 0 1に “H” （ハイ）のデータが、又、リファレンスメモリセル用強誘電体キャパシタC D 1 0、C D 1 1に “L” （ロー）のデータが記録されている。

次に、リファレンスワード線R W L 0を論理電圧 “L” とし、Nチャネル型M O SトランジスタT r 2～T r 4をO F F状態とすることにより、ビット線／B L 0とビット線／B L 1とを電氣的に切断する。

この後、センスアンプ制御信号／SAPを論理電圧“L”、SAN論理電圧“H”とし、センスアンプを作動させる。

これによって、ビット線に読み出された電位が、電源電圧VDDと接地電圧VSSに増幅される。

次に、リファレンスメモリセルリライト信号線REW0を論理電圧“H”とし、リファレンスメモリセル用強誘電体キャパシタCD00およびCD10に対して、次の読み出し動作のために“H”（ハイ）と“L”（ロー）の電位を書き込めるようにする。

次に、再書き込み動作としてセルプレート信号線CPを論理電圧“L”とする。この後は、ビット線プリチャージ信号BPを論理電圧“H”としビット線BL0と／BL0は、論理電圧“L”にプリチャージし、ワード線WL0とリファレンスワード線RWL0を論理電圧“L”として、初期状態とする。

この様に、上記従来の1T1Cタイプの強誘電体メモリ装置では、ワード線WL0が選択された場合、ビット線BL0とビット線BL1の電位を読み出す際に利用するリファレンス電位は、リファレンスメモリセル用強誘電体キャパシタCD00とCD10との平均値である。その平均値は、ビット線／BL0と／BL1から読み出される。又、ビット線BL2とビット線BL3の電位を読み出す際に利用するリファレンス電位は、リファレンスメモリセル用強誘電体キャパシタCD20とCD30との平均値である。その平均値は、ビット線／BL0と／BL1から読み出される。

又、ワード線WL1が選択された場合は、ビット線対の役割が上記の場合と逆になり、リファレンスメモリセル用強誘電体キャパシタも異なる。

即ち、ビット線／BL0とビット線／BL1の電位を読み出す際に利用するリ

ファレンス電位は、リファレンスメモリセル用強誘電体キャパシタCD01とCD11との平均値である。その平均値は、ビット線BL0とBL1から読み出される。又、ビット線／BL2とビット線／BL3の電位を読み出す際に利用するリファレンス電位は、リファレンスメモリセル用強誘電体キャパシタCD21とCD31との平均値である。その平均値は、ビット線BL0とBL1から読み出される。

従って、第7図に示す構成では、8本のワード線WL0～WL7に対して、リファレンス電位は4種類となる。

しかしながら、従来の1T1Cタイプの強誘電体メモリ装置のリファレンスメモリセル方式では次のような課題が有った。

即ち、従来の場合、“H”（ハイ）と“L”（ロー）のデータが書き込まれた、それぞれ1つずつのリファレンス用の強誘電体キャパシタ（例えば、リファレンスメモリセル用強誘電体キャパシタCD00とCD10）を電氣的に接続して、双方の電位を平均化して、これをデータ読み出しのための、リファレンス電位としていた。そのため、これらリファレンスメモリセル用の強誘電体キャパシタのばらつきにより、各リファレンス電位にばらつきが生じていた。従って、本来は同じ値となるべき理想のリファレンス電位が得られない場合があり、強誘電体メモリ装置としての歩留りを低下させる原因となるという課題があった。

また、特に、これらリファレンスメモリセル用強誘電体キャパシタのばらつきは、レイアウトの配置位置にも大きく左右され、リファレンスメモリセル用強誘電体キャパシタと本体メモリセル用強誘電体キャパシタとの配置位置が、お互いに遠い場合には、理想のリファレンス電位が得られない場合があるという課題があった。

また、従来¹の1T1Cタイプの強誘電体メモリ装置のリファレンスメモリセル方式においては、制御用信号や制御用スイッチ素子であるNチャネル型MOSトランジスタおよびリファレンスメモリセル用強誘電体キャパシタが、1本のビット線ごとに必要でレイアウト的に大きな面積を占めるという課題があった。

発明の開示

本発明は、上記従来¹の課題を考慮し、基準電位のばらつきを従来に比べてより一層少なく出来る強誘電体メモリ装置を提供することを目的とする。

請求項1記載の本発明は、本体メモリセル用強誘電体キャパシタに対して不揮発性データを記憶する強誘電体メモリ装置であって、実質的にハイレベルのデータを記憶する複数個の第1の強誘電体メモリセルと、実質的にローレベルのデータを記憶する複数個の第2の強誘電体メモリセルと、前記第1及び第2の強誘電体メモリセルのそれぞれから読み出された電位を平均化するイコライズ回路手段と、前記平均化された電位を基準電位として利用して、前記本体メモリセル用強誘電体キャパシタに記憶されたデータの読み出しを行う読み出し手段とを有する強誘電体メモリ装置である。

請求項7記載の本発明は、本体メモリセル用強誘電体キャパシタを選択するワード線と、前記本体メモリセル用強誘電体キャパシタからデータの読み出しに用いるビット線とがマトリックス状に配列された、1つの前記本体メモリセル用強誘電体キャパシタに対して1ビットの不揮発性データを記憶する強誘電体メモリ装置であって、異なる前記ワード線に対して共用するリファレンス用強誘電体メモリセルと、前記リファレンス用強誘電体メモリセルから読み出された電位に基づいて得られた基準電位を利用して、前記本体メモリセル用強誘電体キャパシタ

の前記データの読み出しを行う読み出し手段とを備えた強誘電体メモリ装置である。

図面の簡単な説明

第1図は、本発明の第1の実施の形態のメモリセル構成図である。

第2図は、本発明の第2の実施の形態のメモリセル構成図である。

第3図は、本発明の第3の実施の形態のメモリセル構成図である。

第4図は、本発明の第3の実施の形態における他の例のメモリセル構成図である。

第5図は、本発明の第4の実施の形態のメモリセル構成図である。

第6図は、本発明の第4の実施の形態における他の例のメモリセル構成図である。

第7図は、従来例のメモリセル構成図である。

第8図は、従来例のセンスアンプ回路図である。

第9図は、従来例の動作タイミング図である。

符号の説明

C00～C37 本体メモリセル用強誘電体キャパシタ

CD00～CD31 リファレンスメモリセル用強誘電体キャパシタ

CPD セルプレートドライバ

SA0～SA3 センスアンプ

CP セルプレート信号線

WL0～WL7 ワード線

RWL0～RWL1 リファレンスワード線

REW0～REW1 リファレンスメモリセルリライト信号線

EQ0～EQ1 リファレンス電位信号線

BL0～BL3、／BL0～／BL3 ビット線

BP ビット線プリチャージ信号

／SAP、SAN センスアンプ制御信号

VSS 接地電圧

VDD 電源電圧

発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1)

第1図は、本発明の第1の実施の形態の強誘電体メモリ装置におけるメモリセル構成図であり、同図を用いて本実施の形態の構成を説明する。

尚、センスアンプ回路や動作タイミング図については、従来例の第8図および第9図と同様のものである。

第1図に示すように、C00～C37は本体メモリセル用強誘電体キャパシタ、CD00～CD31はリファレンスメモリセル用強誘電体キャパシタである。CPDはセルプレートドライバ、REW0～REW1はリファレンスメモリセルリライト信号線である。尚、リファレンスメモリセル用強誘電体キャパシタCD00、CD20には、“H”（ハイ）のデータが、又、リファレンスメモリセル用強誘電体キャパシタCD10、CD30には、“L”（ロー）のデータが記録されているものとする。又、リファレンスメモリセル用強誘電体キャパシタCD0

1、CD 2 1には、“H”（ハイ）のデータが、又、リファレンスメモリセル用強誘電体キャパシタCD 1 1、CD 3 1には、“L”（ロー）のデータが記録されているものとする。

又、EQ 0～EQ 1はリファレンス電位信号線、SA 0～SA 3はセンスアンプ、CPはセルプレート信号線である。又、WL 0～WL 7がワード線、RWL 0～RWL 1がリファレンスワード線であり、BL 0～BL 3、／BL 0～／BL 3がビット線である。又、BPがビット線プリチャージ信号、／SAP、SANがセンスアンプ制御信号である。又、VSSが接地電圧、VDDが電源電圧である。尚、リファレンス電位信号線EQ 0～EQ 1は、それぞれ、リファレンスワード線RWL 0～RWL 1が選択された時に、リファレンス電位が発生する信号線である。

又、同図に示すとおり、本体メモリセル用強誘電体キャパシタを選択する上記各ワード線と、電位の読み出しに用いる上記各ビット線とが、マトリックス状に配列されている。又、本体メモリセル用強誘電体キャパシタ等により後述するメモリセルアレイが構成されている。

メモリセルアレイ構成は、第1図に示す通り、センスアンプSA 0～SA 3にビット線BL 0～BL 3と／BL 0～／BL 3が接続されている。そして、ビット線BL 0～BL 3にはワード線WL 0をゲートとするNチャネル型MOSトランジスタを介して本体メモリセル用強誘電体キャパシタC 0 0、C 1 0、C 2 0、C 3 0が接続されている。又、ビット線／BL 0、／BL 1、／BL 2、／BL 3には、リファレンスワード線RWL 0をゲートとするNチャネル型MOSトランジスタTr 2、Tr 4、Tr 7、Tr 9を介して、リファレンスメモリセル用強誘電体キャパシタCD 0 0、CD 1 0、CD 2 0、CD 3 0がそれぞれ接続さ

れている。

11

又、イコライズ回路は、Nチャネル型MOSトランジスタTr 0、Tr 3、Tr 6、Tr 8等から構成された回路である。即ち、イコライズ回路は、リファレンスメモリセル用強誘電体キャパシタCD 0 0、CD 1 0、CD 2 0、CD 3 0のそれぞれに記憶された上記各種データが、ビット線／BL 0、／BL 1、／BL 2、／BL 3から各種電位として読み出される際、それら電位を平均化する回路である。イコライズ回路により平均化された電位は、本体メモリセル用強誘電体キャパシタから読み出されたデータをセンスアンプにより増幅するために用いる基準電位である。

又、強誘電体キャパシタC 0 0～C 3 7、CD 0 0～CD 3 1は、セルプレートドライバCPDで駆動されるセルプレート信号線CPに接続されている。

又、ビット線BL 0とリファレンスメモリセル用強誘電体キャパシタCD 0 0とは、リファレンスメモリセルリライト信号線REW 0をゲートとするNチャネル型MOSトランジスタTr 5を介して接続されている。他のビット線／BL 0、BL 2、／BL 2についても、ビット線BL 0と同様に各Nチャネル型MOSトランジスタを介して、それぞれ、リファレンスメモリセル用強誘電体キャパシタCD 1 0、CD 2 0、CD 3 0に接続されている。

又、センスアンプSA 0は、センスアンプ制御信号／SAP、SANで制御され、ビット線プリチャージ信号BPによってビット線BL 0～BL 3と／BL 0～／BL 3のプリチャージが制御される回路構成である。尚、本発明の読み出し手段は、センスアンプSA 0等が対応する。

この第1の実施の形態では、本体メモリセル用強誘電体キャパシタとほぼ同じサイズの強誘電体キャパシタを4個用い、その内の2個から“H”のデータを、

又、残りの2個から“L”のデータをそれぞれ読み出し、これらデータを平均化するという方法である。

以下に、本実施の形態の動作を説明する。

本実施の形態の動作のタイミングについては第9図に示した従来例と同様である。

ここで、従来例との主な相違点を述べる。即ち、従来の場合には、上述した通り、1つのHデータと1つのLデータを用いて、それらを平均化することにより基準電位を得ていた。これに対して、本実施の形態では、複数個のHデータと、複数個のLデータを用いて、これらを平均化することにより基準電位を得る点が、従来の場合と異なる。

この様に、本実施の形態の強誘電体メモリ装置では、ワード線WL0が選択された場合、ビット線BL0、BL1、BL2、BL3の電位を読み出す際に利用するリファレンス電位は、リファレンスメモリセル用強誘電体キャパシタCD00と、CD10と、CD20と、CD30との平均値である。その平均値は、ビット線／BL0、／BL1、／BL2、／BL3からそれぞれ読み出される。

又、ワード線WL1が選択された場合は、ビット線対の役割が上記の場合と逆になり、リファレンスメモリセル用強誘電体キャパシタも異なる。

即ち、ビット線／BL0、／BL1、／BL2、／BL3の電位を読み出す際に利用するリファレンス電位は、リファレンスメモリセル用強誘電体キャパシタCD01、CD11、CD21とCD31との平均値である。その平均値は、ビット線BL0と、BL1と、BL2とBL3からそれぞれ読み出される。

従って、第1図に示す構成では、8本のワード線WL0～WL7に対して、リファレンス電位は2種類となる。尚、本発明の第1強誘電体メモリセルは、例え

ば、リファレンスメモリセル用強誘電体キャパシタCD00、CD20に対応しており、第2強誘電体メモリセルは、リファレンスメモリセル用強誘電体キャパシタCD10、CD30に対応している。

第1の実施の形態の特徴は、複数の“H”（ハイ）データと複数の“L”（ロー）データを平均化するため、リファレンスメモリセル用強誘電体キャパシタにばらつきがあった場合でもその影響が少なく理想に近いリファレンス電位が得られるというものである。

ここでは、4個のリファレンスメモリセル用強誘電体キャパシタ（CD00～CD30）を平均化する実施の形態について示しているが、これに限らず、例えば、平均化するリファレンスメモリセル用強誘電体キャパシタの個数を増やすことは可能である。

この様に、平均化するリファレンスメモリセル用強誘電体キャパシタの個数を増やせば、それらリファレンスメモリセル用強誘電体キャパシタのばらつきの影響も少なくなることは明らかである。

例えば、16個の平均をとる場合を2個の平均をとる場合と比較すると、“H”（ハイ）データを出力すべき1個の強誘電体キャパシタが“L”（ロー）データを出力した時、理想のリファレンス電位からのずれは、 $1/8$ に抑えることができる。

このように、理想のリファレンス電位からのずれが小さく押さえられるため、センスアンプにいくらかの動作マージンを確保しておけば、より一層正常に動作できる強誘電体メモリ装置を得ることができる。

（実施の形態2）

第2図は、本発明の第2の実施の形態の強誘電体メモリ装置におけるメモリセ

ル構成図であり、同図を用いて本実施の形態の構成と動作を述べる。

本実施の形態の構成は、以下の点を除いては、電氣的接続を含めて基本的には第1の実施の形態と同様である。

即ち、本実施の形態の特徴は、リファレンスメモリセル用強誘電体キャパシタCD00～CD31およびイコライズ回路を含むリファレンス電位発生回路と、セルプレートドライバCPDとを、第2図に示すように、ビット線の長さ方向の中央付近に配置したことである。

ここで、本実施の形態のイコライズ回路は、第2図に示すように、第1のイコライズ回路Aと第2のイコライズ回路Bから構成されている。

即ち、第1のイコライズ回路Aは、Nチャネル型MOSトランジスタTr0、Tr3、Tr6、Tr8等から構成された回路である。即ち、イコライズ回路は、リファレンスメモリセル用強誘電体キャパシタCD00、CD10、CD20、CD30のそれぞれに記憶された上記各種データが、ビット線／BL0、／BL1、／BL2、／BL3から各種電位として読み出される際、それら電位を平均化する回路である。又、その平均化された電位が信号線EQ0に発生する。

又、第1のイコライズ回路Aと同様にして、第2のイコライズ回路Bが設けられている。即ち、第2のイコライズ回路Bは、リファレンスメモリセル用強誘電体キャパシタCD01、CD11、CD21、CD31のそれぞれに記憶された上記各種データが、ビット線BL0、BL1、BL2、BL3から各種電位として読み出される際、それら電位を平均化する回路である。又、その平均化された電位が信号線EQ1に発生する。

リファレンス電位発生回路を、同図に示す様に、ビット線の長さ方向の中央付近に配置することによって、次のような効果がある。

即ち、強誘電体キャパシタの配置場所により特性のばらつきがある場合でも、リファレンスメモリセル用強誘電体キャパシタは、本体メモリセル用強誘電体キャパシタ群の中央付近に位置するためその影響を少なくすることができる。

又、セルプレートドライバCPDを、同図に示す様に、ビット線/BL3の右側であって、且つ、各ビット線の長さ方向の中央付近に配置することによって、次のような効果がある。

即ち、セルプレートドライバCPDによる駆動タイミングの遅延差の影響を少なくでき、高速動作が可能になる。つまり、例えば、本体メモリセル用強誘電体キャパシタC00が選択された場合と、本体メモリセル用強誘電体キャパシタC06が選択された場合の、セルプレート信号のタイミングの遅延差が少なく出来る。具体的には、第2図の場合のタイミングの遅延差は、第1図に示した構成の場合に比べて、約1/2となる。

(実施の形態3)

第3図は、本発明の第3の実施の形態の強誘電体メモリ装置におけるメモリセル構成図であり、同図を用いて本実施の形態の構成と動作を述べる。

本実施の形態の構成は、以下の点を除いては、基本的には第1の実施の形態と似ている。

即ち、本実施の形態の第1の特徴は、リファレンスメモリセル用強誘電体キャパシタをビット線の長さ方向の複数の位置に分散させて配置したことである。

具体的には、リファレンスメモリセル用強誘電体キャパシタCD00、CD01、CD10、CD11をセンスアンプSA0、SA1に近い位置に配置し、リファレンスメモリセル用強誘電体キャパシタCD20、CD21、CD30、CD31をセンスアンプSA2、SA3から遠い位置に配置している。

また、第2の特徴は、第3図に示すように、イコライズ回路Dはビット線の長さ方向の中央付近に配置したことである。

このようにリファレンスメモリセル用強誘電体キャパシタを分散して配置することにより、その配置上の強誘電体キャパシタ特性のばらつきの影響を少なくすることができるとともに、“H”（ハイ）データと“L”（ロー）データを平均化した時の、その平均化された電位のビット線の長さ方向の時間差による違いの影響を少なくでき、高速動作にも効果がある。

即ち、第3図において、リファレンスメモリセル強誘電体キャパシタCD00、CD10に接続されたセルプレート信号線は、セルプレート駆動回路CDPから近いため、早く電位が出てくる。又、リファレンスメモリセル強誘電体キャパシタCD20、CD30に接続されたセルプレート信号線は、セルプレート駆動回路CDPから遠いため、電位が出てくるのが遅い。これら、リファレンスメモリセル強誘電体キャパシタCD00とCD10とCD20とCD30とを平均化することにより、リファレンス電位が出てくるスピードが平均化される。従って、ビット線の長さ方向の時間差による、リファレンス電位の違いの影響を少なく出来ると言うことである。

また、ここではリファレンス電位発生用ビット線イコライズ回路はビット線の長さ方向の中央付近に1つ配置してあるが センスアンプに近い側と遠い側にも配置することはもちろん可能である。さらに、リファレンスメモリセル用強誘電体キャパシタをビット線の長さ方向の中央付近にも配置することも可能である。

次に、第4図に示す別の実施の形態について、簡単に説明する。

即ち、この例は、同図に示す通り、第3図で説明した構成と比べて、セルプレートドライバCPDを、複数本のビット線の配列中の実質上中央の位置に、且つ、

その配列に沿って配置されている点が異なる。その他の構成は、第3図に示したものと同一であり、その説明は省略する。

これにより、セルプレート信号線CPの、各リファレンスメモリセル用強誘電体キャパシタへの長さが均等になる。そのため、セルプレート駆動回路CPDの駆動時における遅延時間の、場所依存性が少なく、タイミング差が少ないという効果を発揮する。

(実施の形態4)

第5図は、本発明の第4の実施の形態の強誘電体メモリ装置におけるメモリセル構成図であり、同図を用いて本実施の形態の構成と動作を述べる。

この第4の実施の形態の特徴は、1つのリファレンスメモリセル用強誘電体キャパシタを複数のビット線に選択的に接続することにより、リファレンス電位発生用のリファレンスメモリセル用強誘電体キャパシタ等のレイアウト面積を小さくすることができるということである。

メモリセル構成は、第5図に示す様に、センスアンプSA0～SA3にビット線BL0～BL3と／BL0～／BL3が接続されている。又、ビット線BL0～BL3にはワード線WL0をゲートとするNチャネル型MOSトランジスタを介して本体メモリセル用強誘電体キャパシタC00、C10、C20、C30が接続されている。ビット線／BL0～／BL3には、リファレンスワード線RWL0をゲートとするNチャネル型MOSトランジスタを介してリファレンスメモリセル用強誘電体キャパシタCD00、CD10、CD20、CD30が接続されている。又、ビット線BL0～BL3にもリファレンスワード線RWL1をゲートとするNチャネル型MOSトランジスタを介してリファレンスメモリセル用強誘電体キャパシタCD00、CD10、CD20、CD30が接続されている。

つまり、リファレンスメモリセル用強誘電体キャパシタCD00、CD10、CD20、CD30は、ビット線BL0～BL3にもビット線／BL0～／BL3にも接続可能である構成としている。

強誘電体キャパシタC00～C37、CD00～CD31は、セルプレートドライバCPDで駆動されるセルプレート信号線CPに接続されている。また、ビット線／BL0～／BL3は、リファレンスワード線RWL0をゲートとするNチャネル型MOSトランジスタを介して接続されている。又、ビット線BL0～BL3とリファレンスメモリセル用強誘電体キャパシタCD00、CD10、CD20、CD30が、リファレンスメモリセルリライト信号線REW0をゲートとするNチャネル型MOSトランジスタを介して接続されている。

また、センスアンプSA0は、センスアンプ制御信号／SAP、SANによって制御され、ビット線プリチャージ信号BPによってビット線BL0～BL3と／BL0～／BL3のプリチャージが制御される回路構成である。

この第4の実施の形態でも、第1の実施の形態と同様に本体メモリセル用強誘電体キャパシタとほぼ同じサイズの強誘電体キャパシタを4個用いて、その内の2個から“H”（ハイ）のデータと、残りの2個から“L”（ロー）のデータをそれぞれ読み出し、これらデータを平均化するという方法を用いている。

この様に、本実施の形態の強誘電体メモリ装置では、ワード線WL0が選択された場合、ビット線BL0、BL1、BL2、BL3の電位を読み出す際に利用するリファレンス電位は、リファレンスメモリセル用強誘電体キャパシタCD00と、CD10と、CD20と、CD30との平均値である。その平均値は、ビット線／BL0、／BL1、／BL2、／BL3からそれぞれ読み出される。

又、ワード線WL1が選択された場合は、ビット線対の役割が上記の場合と逆

になるが、リファレンスメモリセル用強誘電体キャパシタは、上記と同じものが用いられる。

従って、第5図に示す構成では、8本のワード線WL0～WL7に対して、リファレンス電位は1種類となる。尚、本発明の第1強誘電体メモリセルは、例えば、リファレンスメモリセル用強誘電体キャパシタCD00、CD20に対応しており、第2強誘電体メモリセルは、リファレンスメモリセル用強誘電体キャパシタCD10、CD30に対応している。

ここでは、1個のリファレンスメモリセル用強誘電体キャパシタを2本のビット線対で共用する構成であるが、さらに多くのビット線と共用することも可能である。この第4の実施の形態のように2本のビット線対で共用する場合のレイアウトは配線層も少なく比較的簡単に実現できる。第4の実施の形態のレイアウト面積は第1の実施の形態の場合に比べて、リファレンスメモリセル用強誘電体キャパシタの個数が1/2となっている。

また、このリファレンス電位発生回路やリファレンス電位発生用のビット線イコライズ回路はビット線の長さ方向の中央付近に配置することも、もちろん可能である。

次に、第6図に示す別の実施の形態について、簡単に説明する。

同図に示す通り、本実施の形態は、第5図に示す実施の形態の別の例である。

即ち、第5図では、例えば、リファレンスメモリセル強誘電体キャパシタCD00を、1つのビット線対（例えば、あるセンスアンプSA0に接続されたビット線対のBL0と／BL0）において共用している。これに対し、第6図では、異なるビット線対において共用しているものである。例えば、第6図に示す様に、リファレンスメモリセル強誘電体キャパシタCD00を、ビット線／BL0と、

ビット線BL1で共用しているものである。

この様に、本実施の形態によれば、異なるワード線に対しても、リファレンスメモリセル用強誘電体キャパシタを共用しているので、リファレンスメモリセル用強誘電体キャパシタの個数を上記実施の形態と同様に、削減することが出来る。

この様に、上記実施の形態によれば、リファレンスメモリセル用強誘電体キャパシタにばらつきがあった場合でも、その影響が少なく、理想に近いリファレンス電位が得られ歩留り向上にもつながる。

また、リファレンスメモリセル用強誘電体キャパシタやイコライズ回路の配置によりさらに理想に近いリファレンス電位が得られ、高速動作の強誘電体メモリ装置とすることができるという効果もある。

さらに、リファレンス電位発生用のリファレンスメモリセル用強誘電体キャパシタのレイアウト面積を小さくできるという効果もある。

以上述べたところから明らかな様に、請求項1に記載の本発明は、例えば、ハイレベルのデータを記憶する複数のリファレンスメモリセル用強誘電体キャパシタと、ローレベルのデータを記憶する複数のリファレンスメモリセル用強誘電体キャパシタとから読み出された各電位を平均化するため、各リファレンスメモリセル用強誘電体キャパシタにばらつきがあった場合でも、その影響が少なく従来に比べてより一層ばらつきの少ないリファレンス電位が得られるという作用を有する。また、イコライズ回路を複数のビット線間に接続した構成にすることで、リファレンス電位発生用のリファレンスメモリセル用強誘電体キャパシタ等のレイアウト面積を従来に比べて増やすことなく実現できるという効果が得られる。

又、請求項2に記載の本発明は、請求項1に記載の発明において、例えば、イ

コライズ回路を複数のビット線間に接続し、さらにビット線の長さ方向の中央付近に配置することにより、ビット線のイコライズ状態の場所による影響を少なくし、ビット線の各場所で、理想に近いリファレンス電位を得ることが出来るという効果を有する。

又、請求項 3 に記載の本発明は、請求項 1 に記載の発明において、例えば、リファレンスメモリセル用強誘電体キャパシタを複数のビット線に接続し、ビット線の長さ方向の中央付近に配置することにより、リファレンスメモリセル用強誘電体キャパシタと本体メモリセル用強誘電体キャパシタとの配置場所による影響を少なくし、各リファレンスメモリセル用強誘電体キャパシタにばらつきがあった場合でも、その影響が少なく理想に近いリファレンス電位を得ることが出来るという効果を有する。

又、請求項 4 に記載の本発明は、請求項 1 に記載の発明において、例えば、リファレンス用強誘電体メモリセルを複数のビット線に接続し、ビット線の長さ方向の複数の位置に配置することにより、さらにリファレンスメモリセル用強誘電体キャパシタと本体メモリセル用強誘電体キャパシタとの配置場所による影響を少なくし、各リファレンスメモリセル用強誘電体キャパシタにばらつきがあった場合でも、その影響が少なく理想に近いリファレンス電位を得ることが出来るという効果を有する。

又、請求項 5 に記載の本発明では、請求項 6 に記載の発明とほぼ同様に、例えば、セルプレートドライバ CPD による駆動タイミングの遅延差の影響を少なくでき、高速動作が可能となる。

又、請求項 2 ～ 6 に記載の何れの発明も、より理想に近いリファレンス電位を得ることが出来るという点で、高速動作が可能な強誘電体メモリ装置を実現す

るに際して有効である。

又、請求項 7 に記載の本発明は、例えば、ある 1 つのリファレンス用強誘電体メモリセルが、スイッチ素子を介して複数のビット線に接続することにより、リファレンス電位発生用のリファレンス用強誘電体メモリセル等のレイアウト面積を従来に比べて小さくすることができるという効果が得られる。また、請求項 1 に記載の発明の構成と併せて用いることにより、リファレンス用強誘電体メモリセルキャパシタにばらつきの影響が少なく、より理想に近いリファレンス電位が得られ、かつ、レイアウト面積も小さくできる。

又、請求項 8 に記載の本発明は、例えば、センスアンプに接続された 2 本のビット線対に対して、それぞれのスイッチ素子を介して 1 つのリファレンス用強誘電体メモリセルを接続することにより、リファレンス電位発生用のリファレンス用強誘電体メモリセル等のレイアウト面積を従来に比べて小さくすることができるという効果が得られる。また、この場合、上記例に比べて、2 本のビット線対に対してリファレンス用強誘電体メモリセルを共用化しているだけであるので、リファレンス用強誘電体メモリセルの使用頻度が少なく寿命的に有利である。また、隣り合う 2 本のビット線対に対してスイッチ素子を設けるだけでよいので、レイアウト面積も小さい。

産業上の利用可能性

以上説明したように、本発明の強誘電体メモリ装置は、例えば、実質的にハイレベルのデータを記憶する複数個の第 1 の強誘電体メモリセルと、実質的にローレベルのデータを記憶する複数個の第 2 の強誘電体メモリセルと、第 1 及び第 2 の強誘電体メモリセルのそれぞれから読み出された電位を平均化するイコライズ

回路手段と、平均化された電位を基準電位として利用して、本体メモリセル用強誘電体キャパシタに記憶されたデータの読み出しを行う読み出し手段とを有しており、これにより、基準電位のばらつきを従来に比べてより一層少なく出来るものである。

請 求 の 範 囲

1. 本体メモリセル用強誘電体キャパシタに対して不揮発性データを記憶する強誘電体メモリ装置であって、

実質的にハイレベルのデータを記憶する複数個の第1の強誘電体メモリセルと、

実質的にローレベルのデータを記憶する複数個の第2の強誘電体メモリセルと、

前記第1及び第2の強誘電体メモリセルのそれぞれから読み出された電位を平均化するイコライズ回路手段と、

前記平均化された電位を基準電位として利用して、前記本体メモリセル用強誘電体キャパシタに記憶されたデータの読み出しを行う読み出し手段と、

を有することを特徴とする強誘電体メモリ装置。

2. 前記本体メモリセル用強誘電体キャパシタを選択するワード線と前記電位の読み出しに用いるビット線とがマトリックス状に配列されており、前記本体メモリセル用強誘電体キャパシタによりメモリセルアレイが構成されており、

前記イコライズ回路手段は、前記複数のビット線の内、全部又は一部のビット線に接続され、且つ、前記ビット線の長さ方向の中央付近に配置されていることを特徴とする請求項1記載の強誘電体メモリ装置。

3. 前記本体メモリセル用強誘電体キャパシタを選択するワード線と前記電位の読み出しに用いるビット線とがマトリックス状に配列されており、前記本体メモリセル用強誘電体キャパシタによりメモリセルアレイが構成されており、

前記第1及び第2の強誘電体メモリセルは、前記複数のビット線の内、全部又は一部のビット線に接続され、且つ、前記ビット線の長さ方向の中央付近に配置されていることを特徴とする請求項1記載の強誘電体メモリ装置。

4. 前記本体メモリセル用強誘電体キャパシタを選択するワード線と前記電位

の読み出しに用いるビット線とがマトリックス状に配列されており、前記本体メモリセル用強誘電体キャパシタによりメモリセルアレイが構成されており、

前記第 1 及び第 2 の強誘電体メモリセルは、前記複数のビット線に接続され、且つ、前記ビット線の長さ方向の複数の位置に分散して配置されていることを特徴とする請求項 1 記載の強誘電体メモリ装置。

5. 前記本体メモリセル用強誘電体キャパシタを選択するワード線と前記電位の読み出しに用いるビット線とがマトリックス状に配列されており、前記本体メモリセル用強誘電体キャパシタによりメモリセルアレイが構成されており、

前記セルプレート駆動手段は、前記ビット線の長さ方向の中央付近に配置されていることを特徴とする請求項 1 記載の強誘電体メモリ装置。

6. 前記本体メモリセル用強誘電体キャパシタに対して、所定電位を印加するセルプレート駆動手段を備え、

前記本体メモリセル用強誘電体キャパシタを選択するワード線と前記電位の読み出しに用いるビット線とがマトリックス状に配列されており、前記本体メモリセル用強誘電体キャパシタによりメモリセルアレイが構成されており、

前記セルプレート駆動手段は、複数本の前記ビット線の前記配列中の実質上中央付近に配置されていることを特徴とする請求項 1 記載の強誘電体メモリ装置。

7. 本体メモリセル用強誘電体キャパシタを選択するワード線と、前記本体メモリセル用強誘電体キャパシタからデータの読み出しに用いるビット線とがマトリックス状に配列された、前記本体メモリセル用強誘電体キャパシタに対して不揮発性データを記憶する強誘電体メモリ装置であって、

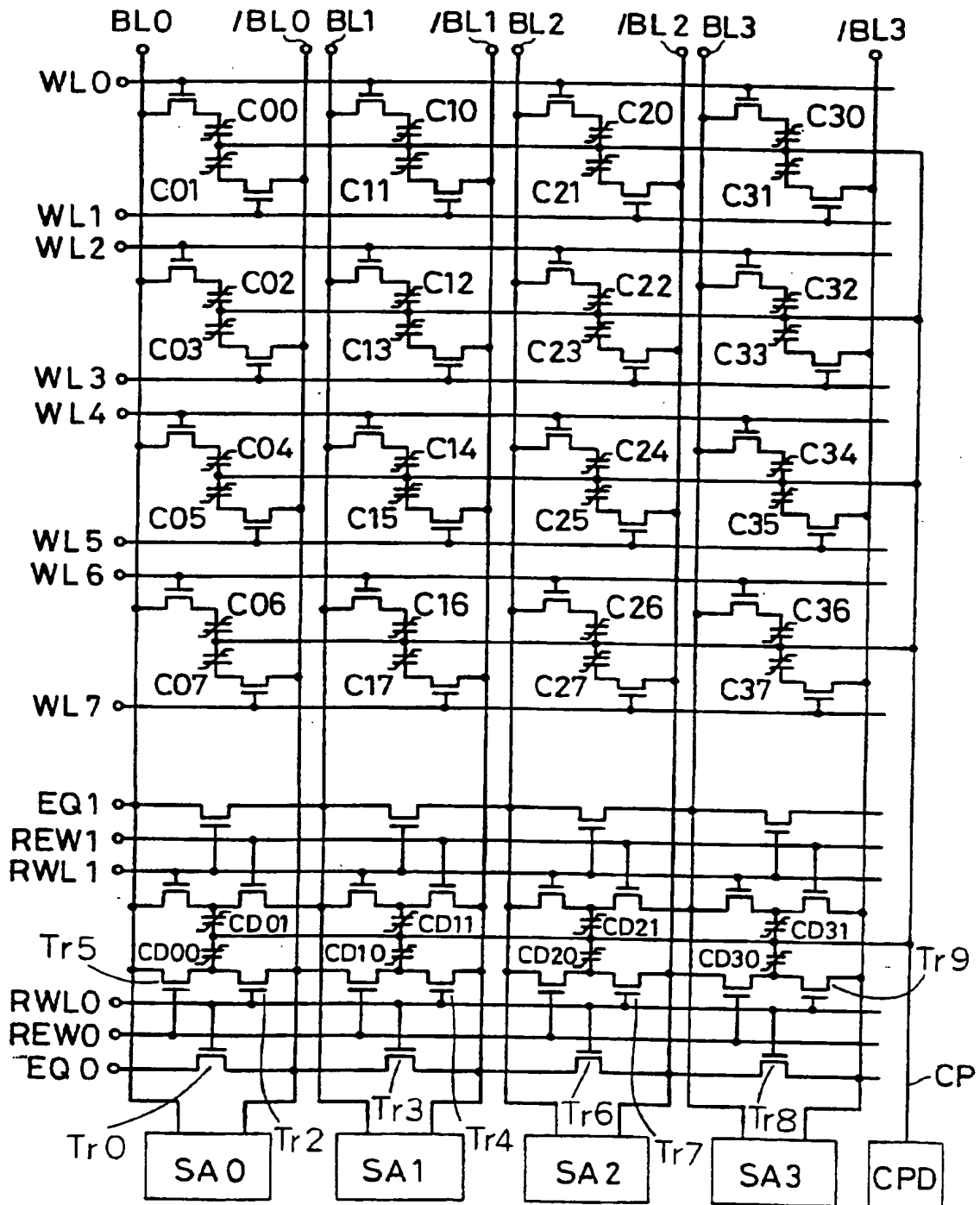
異なる前記ワード線に対して共用するリファレンス用強誘電体メモリセルと、前記リファレンス用強誘電体メモリセルから読み出された電位に基づいて得ら

れた基準電位を利用して、前記本体メモリセル用強誘電体キャパシタの前記データの読み出しを行う読み出し手段と、

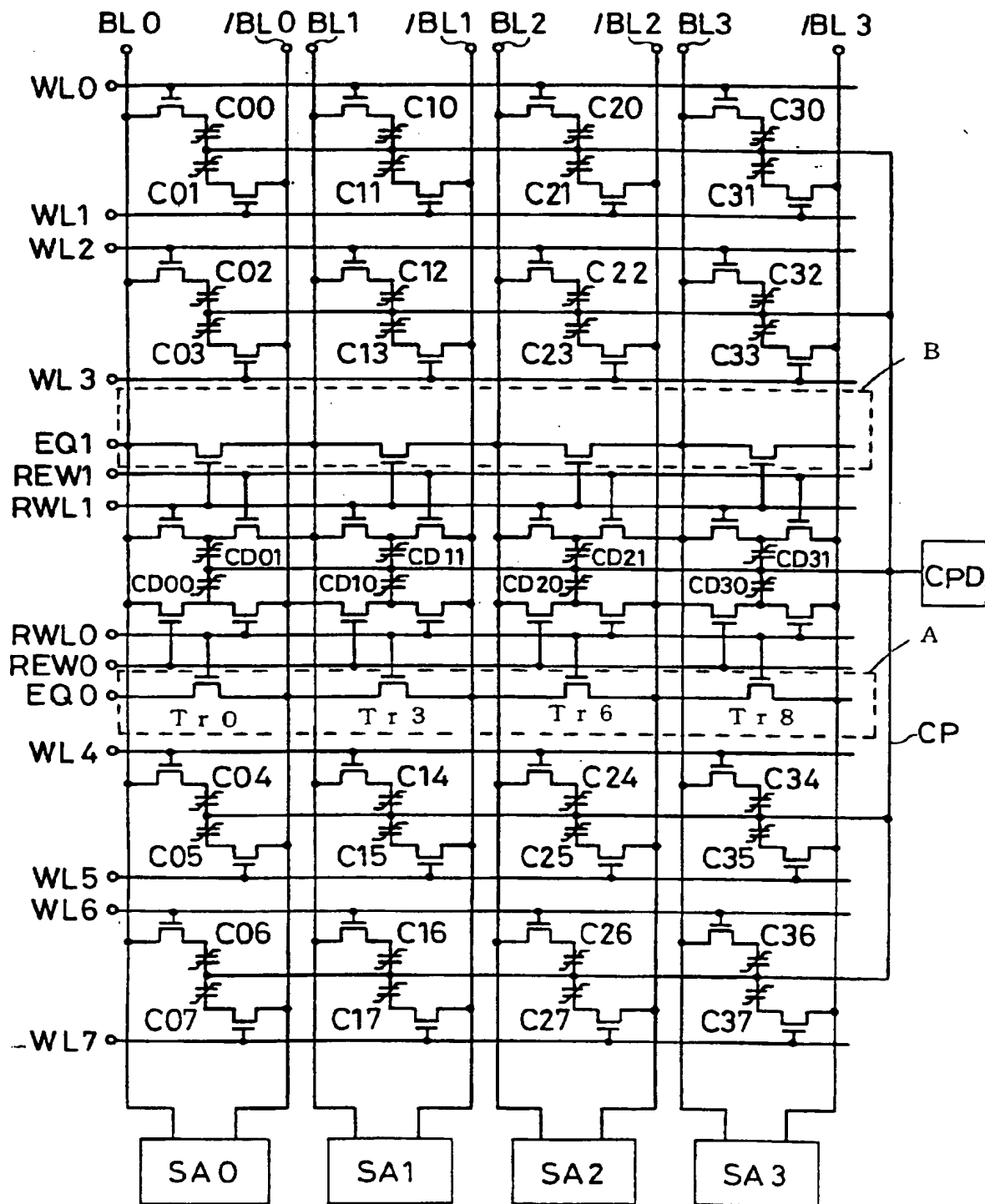
を備えたことを特徴とする強誘電体メモリ装置。

8. 前記リファレンス用強誘電体メモリセルは、センスアンプに接続された2本のビット線対に対してそれぞれのスイッチ素子を介して接続されていることを特徴とする請求項7記載の強誘電体メモリ装置。

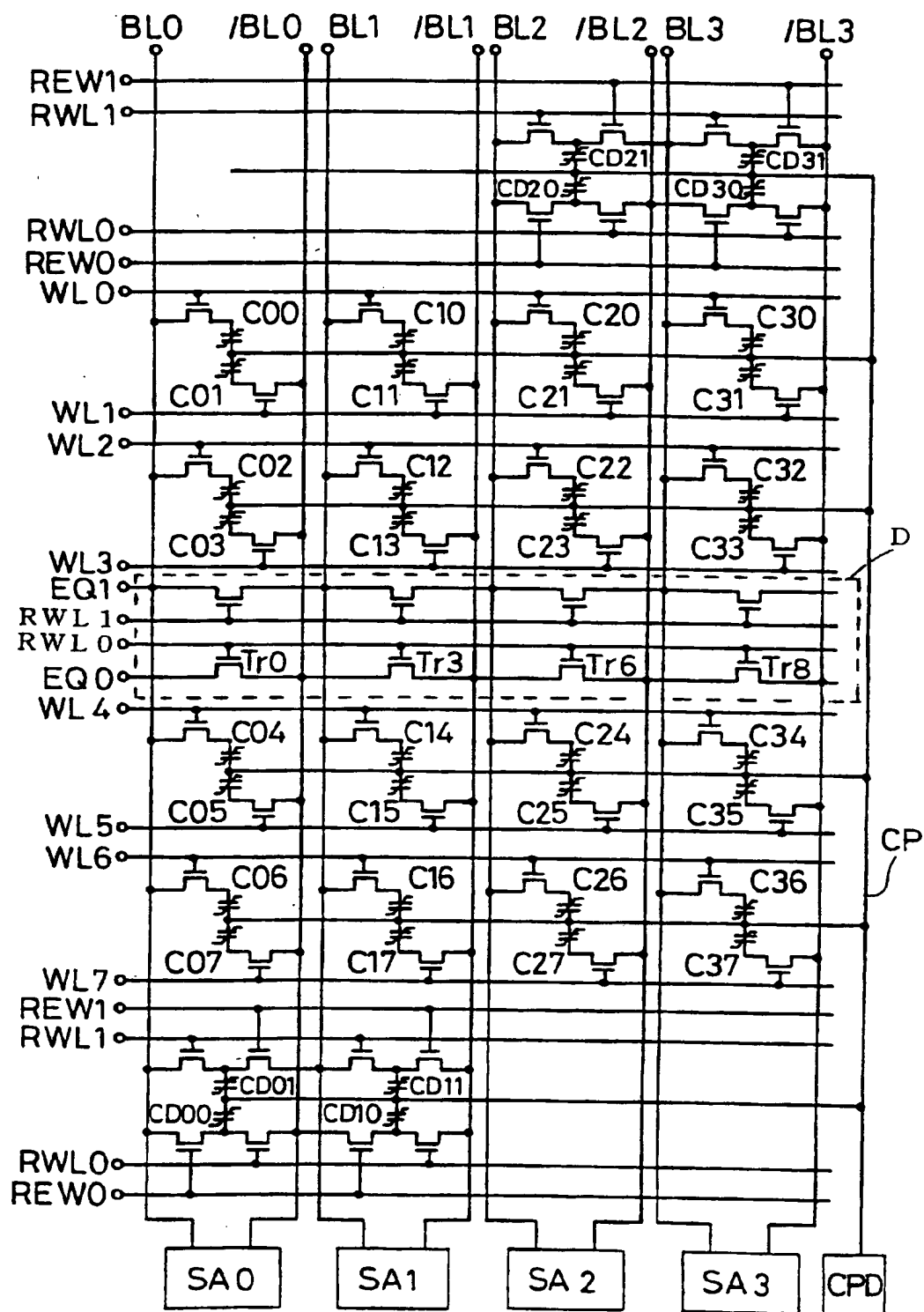
第1図



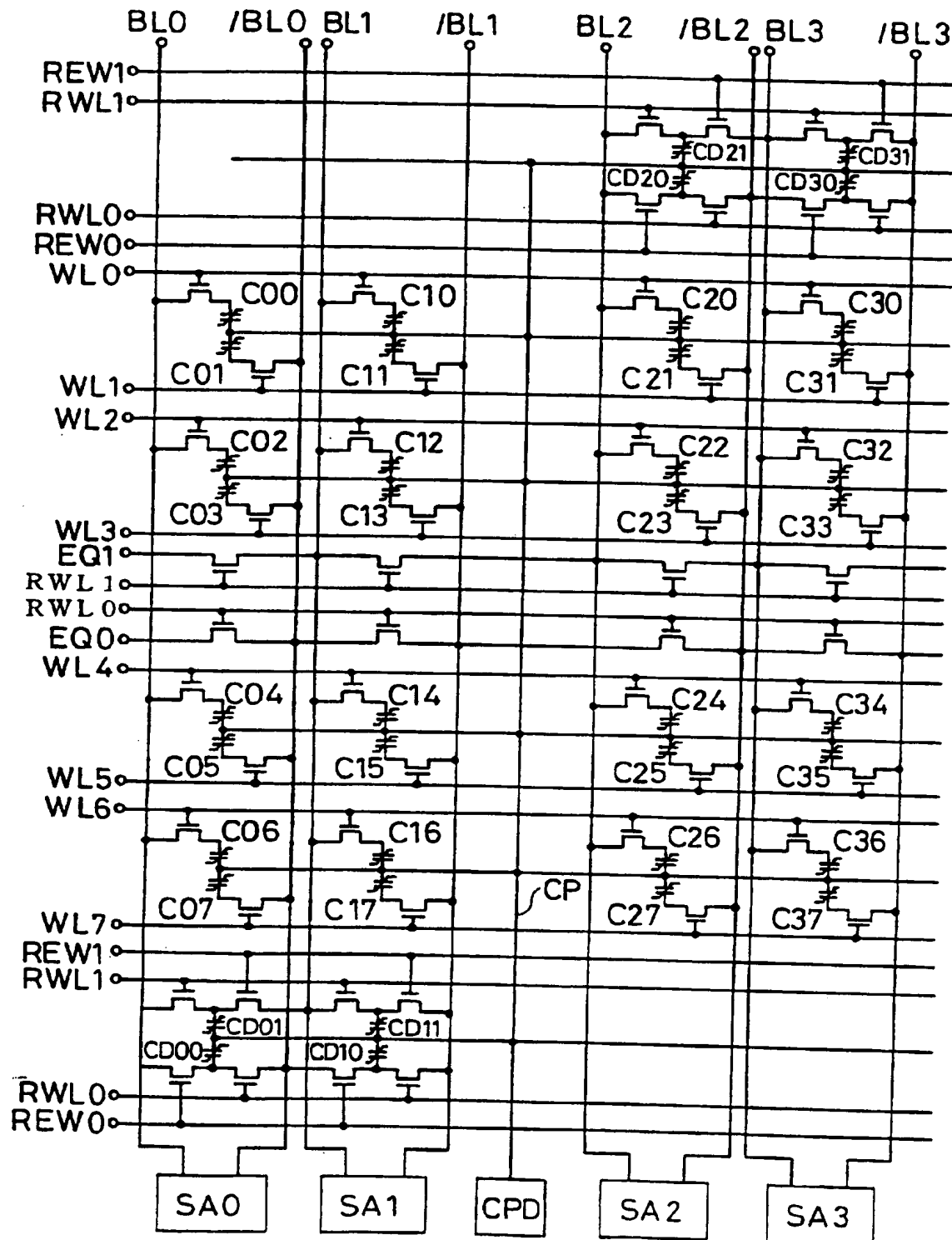
第 2 図



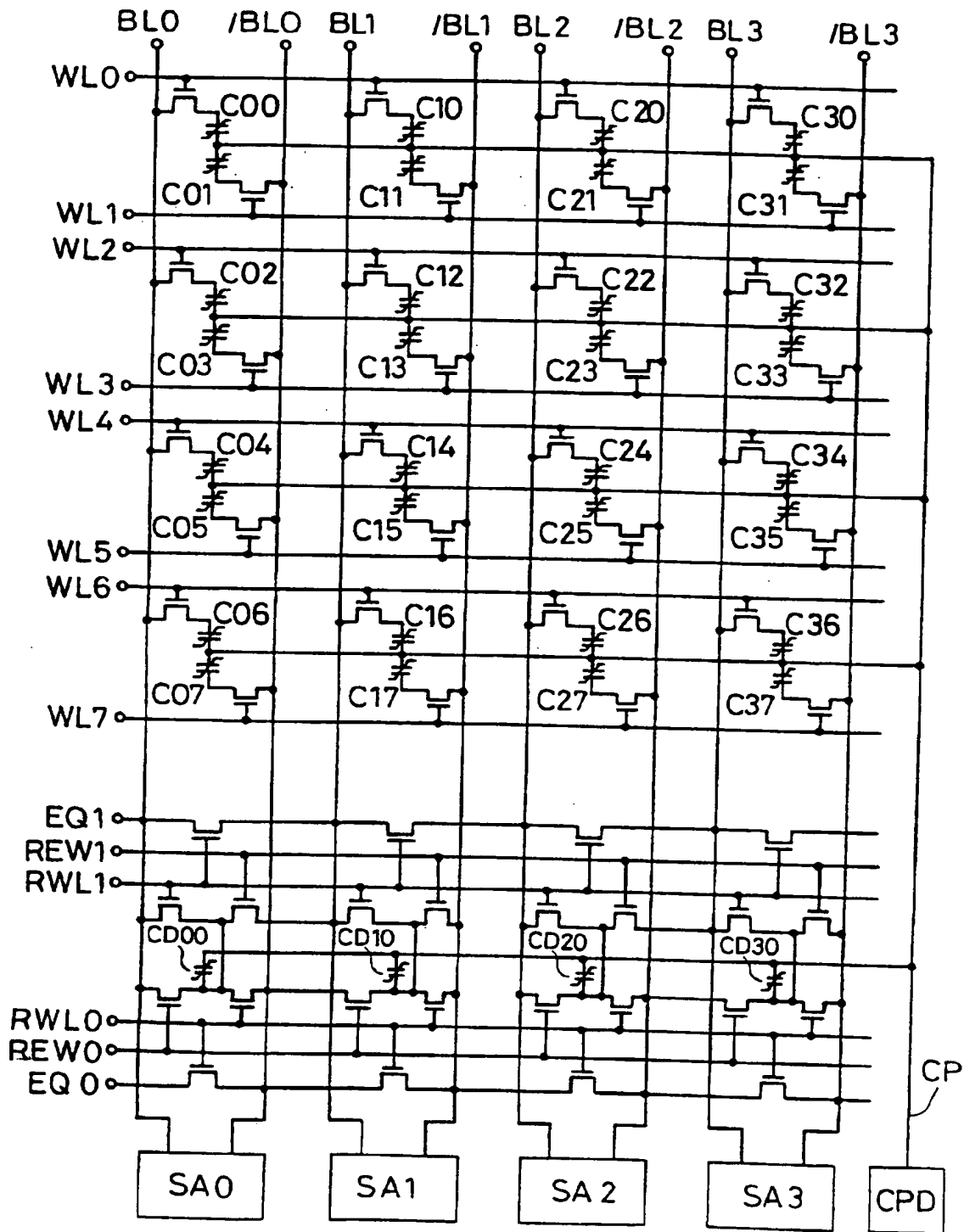
第3図



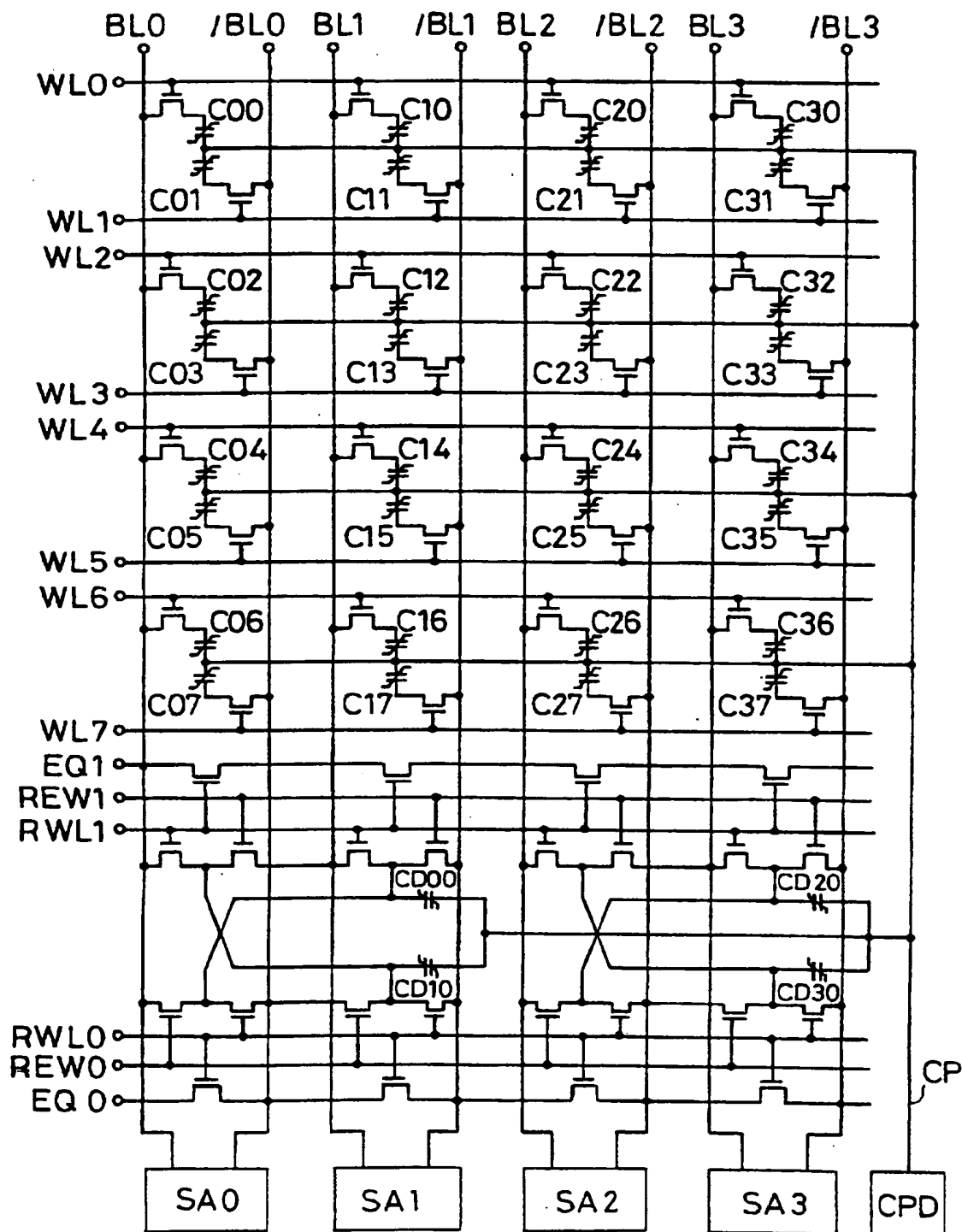
第4図



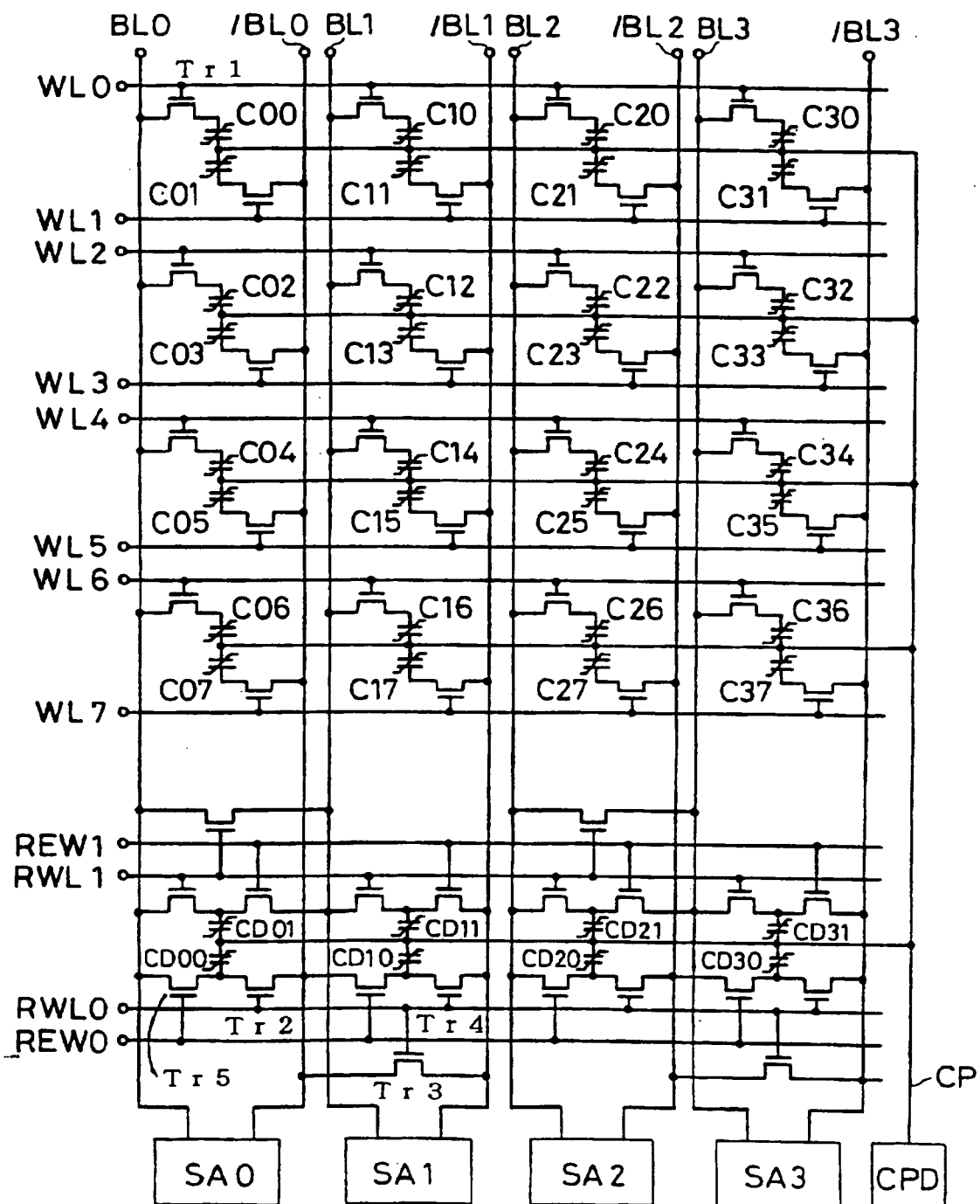
第5図



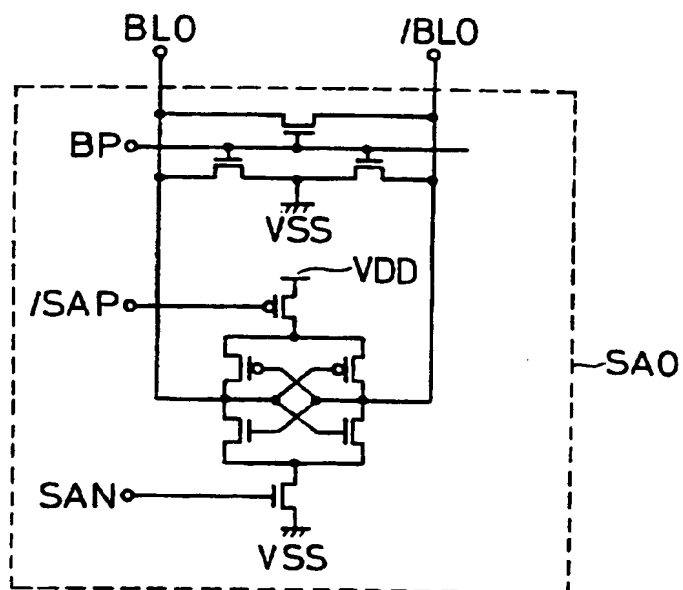
第 6 図



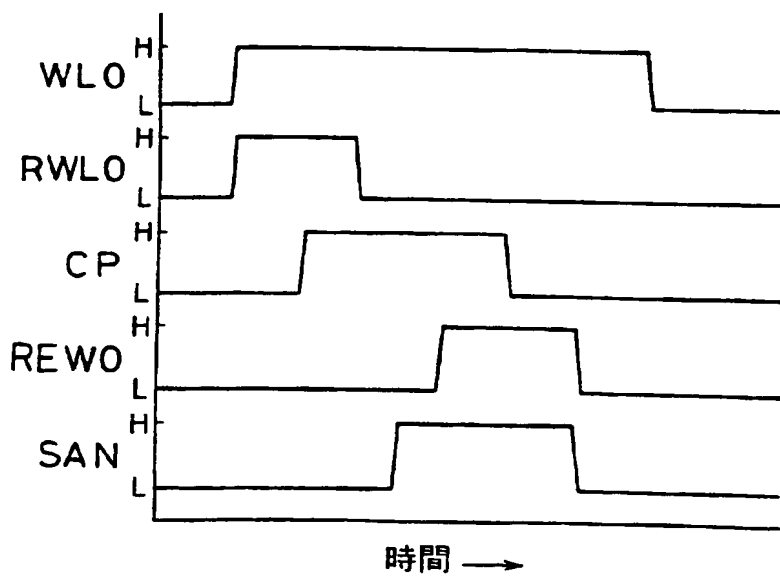
第 7 図



第 8 図



第 9 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00893

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G11C11/22, G11C11/407, H01L27/10, 451, H01L27/10, 651

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G11C11/22, G11C11/407, H01L27/10, 451, H01L27/10, 651

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1940 - 1992

Kokai Jitsuyo Shinan Koho 1971 - 1992

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-262768, A (Matsushita Electric Industrial Co., Ltd.), October 13, 1995 (13. 10. 95), Pages 2, 3 & EP, 674317, A2	1 - 8
A	JP, 6-232361, A (Matsushita Electronics Corp.), August 19, 1994 (19. 08. 94), Page 2 (Family: none)	1 - 8
A	JP, 63-201998, A (Ramtron Corp.), August 22, 1988 (22. 08. 88), Pages 1, 2 & EP, 278167, A2 & US, 4873664, A	1 - 8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
June 24, 1997 (24. 06. 97)Date of mailing of the international search report
July 8, 1997 (08. 07. 97)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP97/00893

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ G11C11/22 Int. Cl.⁸ G11C11/407Int. Cl.⁸ H01L27/10, 451Int. Cl.⁸ H01L27/10; 651

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ G11C11/22 Int. Cl.⁸ G11C11/407Int. Cl.⁸ H01L27/10, 451Int. Cl.⁸ H01L27/10, 651

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-1992年

日本国公開実用新案公報 1971-1992年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 7-262768, A (松下電器産業株式会社), 13. 10月. 1995 (13. 10. 95), 第2~3頁 & EP, 674317, A2	1-8
A	JP, 6-232361, A (松下電子工業株式会社), 19. 8月. 1994 (19. 08. 94), 第2頁 (ファミリーなし)	1-8
A	JP, 63-201998, A (ラムترون・コーポレーション), 22. 8月. 1988 (22. 08. 88), 第1~2頁 & EP, 278167, A2 & US, 4873664, A	1-8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に関する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24. 06. 97

国際調査報告の発送日

08.07.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 智康

電話番号 03-3581-1101 内線 3564

5L

9059